

**DIGITAL INFORMATION REPRODUCING DEVICE**

Patent Number: JP2001344903  
Publication date: 2001-12-14  
Inventor(s): KATO TAKATOSHI; YAMAKAWA HIDEYUKI; NISHITANI TAKUJI; NARA TAKASHI; NAKAI NOBUAKI; IDE HIROSHI; ISHIDA YOSHITERU  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP2001344903  
Application Number: JP20000165833 20000602  
Priority Number (s):  
IPC Classification: G11B20/10  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a digital information reproducing device capable of performing precise filter parameter learning while suppressing the increase of power consumption.

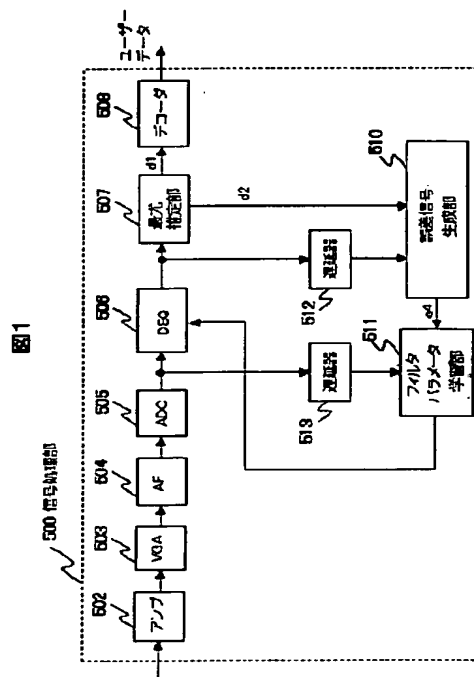
**SOLUTION:** A maximum likelihood deciding part 507 outputs the second discrimination result d2, which has small delay though a discrimination error ratio is high as the result of comparing it with a discrimination result d1 in addition to the result d1 sent to a decoder 508. An error signal generation part 510 generates an error signal e4 from the result d2 and the output of a digital equalizer 506. A filter parameter learning part 511 learns the filter parameter of the equalizer 506 from the signal e4.

---

Data supplied from the **esp@cenet** database - I2

(11)特許出願公開番号  
特開2001-344903  
(P2001-344903A)

(51)IntCl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 Z 5 D 0 4 4



1

## 【特許請求の範囲】

【請求項1】 記録媒体より再生されたアナログ再生信号の帯域制限を行うアナログフィルタと、  
前記アナログフィルタの出力信号をデジタル信号に変換するA/D変換器と、前記A/D変換器の出力を波形等化し、パーシャルレスポンス方式を実現するための波形干渉を与えるデジタルイコライザと、  
前記デジタルイコライザにより波形等化された信号から最尤推定を行う最尤推定部と、  
前記最尤推定部の出力から記録媒体に記録されたユーザーデータを復号するデコーダと、  
前記デジタルイコライザの出力から誤差信号を生成する誤差信号生成部と、  
前記誤差信号生成部の出力から前記デジタルイコライザのフィルタパラメータを学習するフィルタパラメータ学習部とを備え、  
前記最尤推定部は、前記デコーダに送られる判定結果とは別に第2の判定結果を出力し、  
前記誤差信号生成部は、前記第2の判定結果とデジタルイコライザの出力から誤差信号を生成することを特徴とするデジタル情報再生装置。

【請求項2】 前記最尤推定部は、  
メトリック及びパス選択情報を生成するメトリック演算部と、  
前記メトリック演算部の出力であるパス選択結果を保持するパスメモリと、  
前記パスメモリの最終段より前段のメモリの内容及び前記メトリックを用いて前記第2の判定結果を得るMLセレクトとを備えることを特徴とする請求項1に記載のデジタル情報再生装置。

【請求項3】 前記最尤推定部は、  
メトリック及びパス選択情報を生成する第1及び第2のメトリック演算部と、  
前記第1及び第2のメトリック演算部の出力であるパス選択結果をそれぞれ保持する第1及び第2のパスメモリとを備え、  
前記第1のメトリック演算部及び前記第1のパスメモリが、最尤推定の判定結果を出力し、  
前記第2のメトリック演算部及び前記第2のパスメモリが、前記第2の判定結果を出力し、  
前記第2のパスメモリの長さが、前記第1のパスメモリの長さより短いことを特徴とする請求項1に記載のデジタル情報再生装置。

【請求項4】 当該デジタル情報再生装置外に誤差信号情報を出力するための端子を備えたことを特徴とする請求項1から請求項3のいずれか一項に記載のデジタル情報再生装置。

【請求項5】 前記フィルタパラメータ学習部は、フィルタパラメータの調整を行うことが可能なレジスタを備えることを特徴とする請求項1から請求項4のいずれか

2

一項に記載のデジタル情報再生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、記録媒体からデジタルデータを読み出すデジタル情報再生装置に関し、特に、ビタビ復号器を用いた最尤推定器を備えたデジタル情報再生装置に関する。

## 【0002】

【従来の技術】近年、磁気ディスク装置、磁気テープ装置、光ディスク装置、光磁気ディスク装置等のデジタル情報再生装置において、パーシャルレスポンス（PR：Partial Response）方式を採用することが広く行われている。これは、デジタル情報を記録する記録媒体（磁気ディスク、磁気テープ、光ディスク、光磁気ディスク等）の記録密度が高くなるにつれ、従来用いられていたデジタル情報を記録する方式の性能では、デジタル情報1ビットを記録する波形をその隣接するビットの記録による影響（波形干渉）無しに書き込みにくくなったことによる。

【0003】パーシャルレスポンス方式は、波形等化処理部において積極的に既知の波形干渉を作り込むことにより、等化復号処理による信号性能の劣化を防ぐものである。このようなパーシャルレスポンス方式に最尤推定法であるML（Maximum Likelihood）方式を組み合わせることにより、高精度な信号処理を可能としたPRML（Partial Response Maximum Likelihood）方式も実用化されている。

【0004】PRML方式は、与えられる波形干渉の形から多くの方式が生み出されている。特に磁気ディスク装置では、PR(1,1,-1,-1)（EPRML：Extended PRML）、PR(1,2,0,-2,-1)（EEPRML：Extended EPRML）等のクラス4のPRML系の方式が用いられている。磁気ディスクにおけるPRML系の信号処理方式については、例えば、文献：IEEE Transactions on Magnetics, Sep. 1999, Vol. 35, Num. 5, pp. 4378-4386, "Rate 16/17 Maximum Transition Run (3;11) Code on an EEPRML Channel with an Error-Correcting Postprocessor"に記載されている。

【0005】一方、光ディスク装置では、PR(1,1)、PR(1,2,2,1)等の方式が用いられている。光ディスク装置におけるPRML系の信号処理方式については、例えば、特開平9-17130号公報及び特開平10-112030号公報に記載されている。

【0006】これらPRML系の信号処理方式は、PRML系の信号処理方式を用いない方式、すなわち波形干渉を与えずに復号操作を行う方式と比較し、高精度な信号処理が可能で、その信号処理部の搭載されている装置の記録性能を向上させることが出来る。

【0007】このようなPR方式を用いたデジタル情報再生装置では、記録媒体より再生された信号に対し波形

3

干渉を除去したり、信号の帯域を制限したり、所望した波形干渉を作り込むためのフィルタ手段が必要である。

【0008】図10は、従来の磁気ディスク装置における信号処理部100の構成を示す図である。

【0009】同図に示すように、記録媒体に書き込まれたデジタル情報は、ヘッド101から読み出され、アンプ102により増幅される。増幅された信号は、可変利得アンプ(VGA)103によって適切な振幅となるように調整され、アナログフィルタ(AF)104に送られる。AF104は、後段のA/D変換器(ADC)105によりサンプリングされる際にノイズとなる信号の高周波成分を除去する。なお、AF104は、後段の等化器により所望の波形干渉を作りやすいよう波形等化を行う場合もある。

【0010】高周波成分が除去されたアナログ信号は、ADC105によりデジタル信号に変換される。このデジタル信号は、nタップのトランスバーサル型デジタルイコライザ(DEQ)106において波形等化が行われる。波形等化が行われた信号は既知の波形干渉が作り込まれ、最尤推定部107において最尤復号が行われる。この復号値は、デコード108によって復号化処理が行われユーザーデータとなり、信号処理部100の出力となる。信号処理部100の出力は、図示しないハードディスクコントローラ(HDC)及びインターフェイス等を介し、磁気ディスク装置外部のコンピュータ等のホストに送信される。

【0011】また、DEQ106の出力信号は、判定器109の入力となり、判定器109では、誤差信号を作るための一時的な判定が行われ、判定結果が出力される。誤差信号生成部110は、判定器109の判定結果及びDEQ106の出力信号を用いて誤差信号e1を生成する。

【0012】フィルタパラメータ学習部111は、誤差信号生成部110から得られた誤差信号e1とDEQ106の入力等の情報を用いてDEQ106のパラメータの変更を行う。

【0013】図11は、従来の光ディスク装置における信号処理部200の構成を示す図である。

【0014】同図に示すように、記録媒体に書き込まれたデジタル情報は、光学ピックアップ(光学ヘッド)201から読み出され、プリアンプ202により増幅される。増幅された信号は、可変利得アンプ(VGA)203によって適切な振幅となるように調整され、アナログフィルタ(AF)204に送られる。AF204は、後段のA/D変換器(ADC)205によりサンプリングされる際にノイズとなる高周波成分を除去する。なお、AF204は、後段の等化器により所望の波形干渉を作りやすいよう波形等化を行う場合もある。

【0015】高周波成分が除去されたアナログ信号は、ADC205によりデジタル信号に変換される。このデ

4

ジタル信号はデジタルイコライザ(DEQ)206により波形等化が行われる。なお、AF204によって十分に波形等化が行われている装置では、DEQ206は必要とされない場合もある。

【0016】波形等化が行われた信号は既知の波形干渉が作り込まれ、最尤推定部207において最尤復号が行われる。この復号値は、デコード208によって復号化処理が行われユーザーデータとなり、信号処理部200の出力となる。信号処理部200の出力は、図示しない光ディスクコントローラ(ODC)及びインターフェイス等を介し、光ディスク装置外部のコンピュータ等のホストに送信される。

【0017】また、DEQ206の出力信号は判定器209の入力となり、判定器209では、誤差信号を作るための一時的な判定が行われ、判定結果が出力される。誤差信号生成部210は、判定器209の判定結果及びDEQ206の出力信号を用いて誤差信号e2を生成する。

【0018】フィルタパラメータ学習部211は、誤差信号生成部210から得られた誤差信号e2とDEQ206の入力等の情報を用いてDEQ206のパラメータの変更を行う。

【0019】

【発明が解決しようとする課題】PRML等の信号処理を行う場合は、そのような信号処理を行わない場合と比較し、信号処理部へ入力される信号のSN比は悪く、判定器109、209における判定結果の誤り率が相対的に高くなる。また、最尤推定部出力の誤り率を一定とした場合、この判定誤り率の上昇は、用いるPR方式がEPRML、EEPRLと与える波形干渉が複雑になるほど顕著となる。

【0020】判定器109、209の入力信号の品質が十分に高い場合は、一時的な判定結果の誤りにより誤差信号の品質劣化が起こっても、その後の誤りが起こらなかった時点の誤差信号によって誤った方向へフィルタ学習が進むことが制限されるため、信号処理部の出力での信号の誤り率の劣化は起こりにくい。

【0021】しかし、媒体上に記録されている信号の性能劣化や信号処理部内の雑音の増加、信号処理部内のパラメータの設定誤差などにより判定器109、209の入力信号の品質が著しく劣化した場合は、一時的な誤差信号の品質劣化がフィルタパラメータを最適な設定から離れた点に学習させ、この学習結果が最適な設定近辺に復帰するまでの間、信号処理部の出力での信号の誤り率が増大し、装置全体の性能劣化が起こることになる。

【0022】また、上記したような一時的な誤差信号の品質劣化がフィルタパラメータを最適な設定から離れた点に学習させることにより、判定器109、209の入力信号の品質劣化が引き起こされ、連続的な判定誤りが誘発され、更なる誤差信号の品質劣化につながることに

5

もなる。このような現象が発生すると、信号処理部の出力での信号の誤り率が増大し、装置全体の性能がますます劣化することになる。

【0023】図12は、PR(1,0,-1)ML方式を用いた磁気ディスクにおける判定器109時点での等化信号の分布を示す図である。同図に示した例では、等化信号は{1,0,-1}の3値のいずれかを目標とし等化されるが、斜線部においては、信号レベル弁別のような簡易判定では、判定誤りを起こす。この判定誤り率は、ML部の判定誤り率の少なくとも数倍以上となり、フィルタパラメータ10の学習の安定性が低下する。

【0024】このような問題を解決するため、最尤復号後の信号を用いてフィルタパラメータの更新を行う方式が考えられる。

【0025】図13は、フィルタパラメータの更新に最尤復号後の信号を用いる方式を採用した磁気ディスク装置における信号処理部400の構成を示す図である。同図において前述の符号と同一の符号が付された構成要素は同様の特徴を持つものである。

【0026】同図に示すように、媒体に書き込まれたデジタル情報は、ヘッド101、アンプ102、VGA103、AF104、ADC105、DEQ106、最尤推定部407にて順に処理され復号が行われる。最尤推定部407から出力された判定結果は、図10の判定器109の判定結果と比較して判定誤り率が低く、品質が向上している。

【0027】遅延器412は、最尤推定部407の判定結果と対応の取れたDEQ出力信号を生成するため、DEQ106の出力を適切なクロック数遅延させる。誤差信号生成部410は、最尤推定部407による判定結果30及び遅延器412の出力信号を用いて誤差信号e3を生成する。

【0028】フィルタパラメータ学習部411は、誤差信号生成部410から得られた誤差信号e3とDEQ106の入力等の情報を用いてDEQ106のパラメータの変更を行う。

【0029】図13に示した信号処理部400では、判定誤りによりフィルタパラメータが不適切な設定へ学習される可能性は小さくなる。従って、連続的な判定誤りが誘発されるなど、装置全体の判定誤り率の増大による40性能劣化が起きにくくなる。

【0030】しかし、最尤推定部407に等化出力が入力されてから推定結果が出力されるまでには大きな遅延が伴う。例えば、最尤推定部407内のACS(Add-Compare-Select)回路、パスメモリなどで数十クロックの遅延が予想され、この場合、遅延器412は、DEQ出力ビット幅×遅延段数というサイズの遅延回路を持つ必要がある。また、フィルタパラメータ学習部411において、フィルタパラメータの学習の際にDEQ106の入力を必要とする場合には、フィルタパラメータ学習部50

6

にも、DEQ入力ビット幅×遅延段数というサイズの遅延回路を備える必要がある。これらの回路を設けると、回路サイズが増大し、装置全体の消費電力が増大する。

【0031】本発明の目的は、消費電力の増大を抑えつつ、高精度なフィルタパラメータ学習が行えるデジタル情報再生装置を提供することにある。

【0032】

【課題を解決するための手段】本発明に係るデジタル情報再生装置は、記録媒体より再生されたアナログ再生信号の帯域制限を行うアナログフィルタと、前記アナログフィルタの出力信号をデジタル信号に変換するA/D変換器と、前記A/D変換器の出力を波形等化し、パルスレスポンス方式を実現するための波形干渉を与えるデジタルイコライザと、前記デジタルイコライザにより波形等化された信号から最尤推定を行う最尤推定部と、前記最尤推定部の出力から記録媒体に記録されたユーザデータを復号するデコーダと、前記デジタルイコライザの出力から誤差信号を生成する誤差信号生成部と、前記誤差信号生成部の出力から前記デジタルイコライザのフィルタパラメータを学習するフィルタパラメータ学習部とを備え、前記最尤推定部は、前記デコーダに送られる判定結果とは別に第2の判定結果を出力し、前記誤差信号生成部は、前記第2の判定結果とデジタルイコライザの出力から誤差信号を生成することを特徴とする。

【0033】この場合において、前記最尤推定部は、メトリック及びバス選択情報を生成するメトリック演算部と、前記メトリック演算部の出力であるバス選択結果を保持するパスメモリと、前記パスメモリの最終段より前段のメモリの内容及び前記メトリックを用いて前記第2の判定結果を得るMLセクタとを備えるようにしてもよい。

【0034】また、前記最尤推定部は、メトリック及びバス選択情報を生成する第1及び第2のメトリック演算部と、前記第1及び第2のメトリック演算部の出力であるバス選択結果をそれぞれ保持する第1及び第2のパスメモリとを備え、前記第1のメトリック演算部及び前記第1のパスメモリが、最尤推定の判定結果を出力し、前記第2のメトリック演算部及び前記第2のパスメモリが、前記第2の判定結果を出力し、前記第2のパスメモリの長さが、前記第1のパスメモリの長さより短くするようにしてもよい。

【0035】更に、以上の場合において、前記デジタル情報再生装置は、当該装置外に誤差信号情報を出力するための端子を備えるようにしてもよい。誤差信号情報には、例えば、誤差信号生成部から出力される誤差信号や、その誤差信号を積分したものが該当する。また、前記フィルタパラメータ学習部は、フィルタパラメータ調整を行うことが可能なレジスタを備えるようにしてもよい。

【0036】また、前記デジタル情報再生装置におい

て、前記ユーザーデータを前記記録媒体に記録できるようにしてもよい。

【0037】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しつつ、詳細に説明する。なお、既に説明のあった符号と同一の符号を付した構成要素は、同一の動作をするものとし、動作の説明は省略する。

【0038】《第1の実施の形態》図1は、本発明によるデジタル情報再生装置の信号処理部の構成を示すブロック図である。なお、以下では、本デジタル情報再生装置が、PR(1, 0, -1)ML方式を採用している場合について説明するが、他のPRML方式についても同様である。

【0039】同図に示すように、信号処理部500は、アンプ502と、VGA503と、AF504と、ADC505と、DEQ506と、最尤推定部507と、デコーダ508と、誤差信号生成部510と、フィルタパラメータ学習部511と、遅延器512、513とを備える。

【0040】記録媒体に書き込まれたデジタル情報は、ヘッドやピックアップ等から読み出され、その後、アンプ502、VGA503、AF504、ADC505、DEQ506により順次処理され、最尤推定部507により最尤復号が行われるのは前述した方式と同様である。

【0041】最尤推定部507による判定結果d1は、デコーダ508により復号化処理が行われ信号処理部500の出力となる。最尤推定部507は、判定結果d1に加えて第2の判定結果d2を生成する。第2の判定結果d2は、判定結果d1と比較して、判定誤り率は高いが、最尤推定部507の入力に対するクロック遅延が小さいという性質を持つ。第2の判定結果d2の生成方法については後述する。

【0042】遅延器512は、第2の判定結果d2と対応が取れるよう、DEQ506の出力信号を最尤推定部507内のクロック遅延時間分だけ遅延させる。誤差信号生成部510は、遅延器512により遅延されたDEQ506の出力及び第2の判定結果d2を用いて誤差信号e4を生成する。

【0043】遅延器513は、誤差信号e4と対応が取れるよう、DEQ506の入力信号を「最尤推定部507内のクロック遅延時間+誤差信号生成部510の処理時間」分だけ遅延させる。

【0044】フィルタパラメータ学習部511は、遅延器513により遅延されたDEQ506の入力及び誤差信号e4を用いてDEQ506のパラメータの変更を行う。

【0045】次に、誤差信号生成部510の構成について説明する。図2は、誤差信号生成部510の構成を示すブロック図である。

【0046】同図に示すように、誤差信号生成部510

は、目標振幅生成部601と、減算器602とを備える。

【0047】誤差信号生成部510に入力された第2の判定結果d2は、遅延器512の出力と信号レベルが異なる場合があり、その場合は、同じ信号レベルになるよう調整する必要がある。また、最尤推定部507の出力は、最尤推定部内のパスメモリのビット幅数削減のため、ライトカレントを表す2値の信号となっているので、遅延器512の出力に対する誤差信号を求めるため、第2の判定結果d2は、PR(1, 0, -1)等化結果との整合性が取られなければならない。そこで、目標振幅生成部601は、用いているパーシャルレスポンス方式にあった既知の波形等化を畳み込む動作を行う。この場合、目標振幅生成部601にて畳み込まれる干渉は、(1-D)(1+D)(1+D)であれば良い。目標振幅生成部601の出力は、減算器602にて、遅延器512の出力を減算され誤差信号e4となる。

【0048】次に、フィルタパラメータ学習部511の構成について説明する。図3は、フィルタパラメータ学習部511の構成を示すブロック図である。

【0049】同図に示すように、フィルタパラメータ学習部511は、(n-1)個の遅延器701\_1~701\_(n-1)と、n個の乗算器702\_1~702\_nと、n個の積分器703\_1~703\_nと、n個の判定器704\_1~704\_nと、レジスタ705と、マルチプレクサ706とを備える。

【0050】フィルタパラメータ学習部511に入力された遅延器513の出力は、遅延器701\_1~701\_(n-1)によって遅延され、乗算器702\_1~702\_nにより誤差信号e4を乗算される。乗算結果は、それぞれ、積分器703\_1~703\_nにより積分される。それぞれの積分器の積分期間は、レジスタ705の設定値により規定される。レジスタ705の設定値は、例えば、フィルタパラメータ学習部511外部より与えられる。

【0051】それぞれの積分器703\_1~703\_nによる積分結果は、判定器704\_1~704\_nによりレベル判定が行われる。判定器704による判定結果はマルチプレクサ(MUX)706を介してDEQ506に送られる。MUX706にて束ねられたn個の判定結果は、それぞれ、DEQ506内のnタップのトランスバーサルフィルタの各フィルタパラメータを更新するために用いられる。

【0052】判定器704の判定基準は、積分結果があるしきい値を絶対値で超えた場合に、DEQ506の係数を積分結果がしきい値を超えた方向に微少量変化するように設定すればよい。なお、判定器のしきい値は、レジスタ705の設定値によって変更できるようにしてもよい。また、より精度良く学習の調整を行うためには、判定器の入出力が図4に示すように階段状関数となるよ

うにすればよい。

【0053】次に、第2の判定値d2を生成する最尤推定部507の構成について説明する。

【0054】図5は、最尤推定部507の構成を示すブロック図である。

【0055】同図に示すように、最尤推定部507は、メトリック演算部801と、パスメモリ802と、MLセクタ803、804とを備える。

【0056】メトリック演算部801は、最尤推定部507に入力された信号値とトレリス遷移の各枝に対応する目標信号値とのユークリッド距離を各時刻計算する。そして、メトリック演算部801は、各時刻において現在の状態に至るパスのうちもっとも確からしいパスのパスメトリック値を計算し、生き残りパスの一時刻前の状態を選択し、その選択に従う推定結果をパスメモリ802に格納する。

【0057】パスメモリ802は、用いるPRML方式の持つ状態数と同じ数のシフトレジスタを備える。各シフトレジスタは、あらかじめ定められた個数の推定結果を一時刻毎にシフトしながら保持する。メトリックス演算部801から出力された推定結果は、シフトレジスタの最前段に格納され、それに伴って内部で保持していた推定結果が一時刻分ずつシフトされる。ただし、そのシフトに際して、選択された生き残りパスの一時刻前の状態に対応するシフトレジスタの保持する推定結果のコピーが行われる。これにより、推定に伴うパスの選択により生き残りパスが次第に少なくなっていくとコピーの回数が多くなり、パスメモリ内の複数のシフトレジスタの最終段に残る推定結果はおおむね同じ結果となる。

【0058】MLセクタ803は、パスメモリ802の最終段の内容とメトリック演算部801より出力された最も確からしいパスのパスメトリック値を用いて推定される復号値を算出し、最尤推定部507の出力(判定値d1)とする。なお、パスメモリ802のパスメモリ長が十分に長い場合は、MLセクタ803は、必要とされない。

【0059】MLセクタ804は、MLセクタ803と同じ動作をするブロックであるが、パスメモリ802の最終段ではなく、パスメモリ802の中間段(すなわち、シフトレジスタの中間段)の内容と、メトリック演算部801より出力された最も確からしいパスのパスメトリック値とを用いて推定される復号値を算出して、第2の判定値d2として出力する。第2の判定値d2は、判定値d1と比較し、判定誤りを起こす確率が高いが、最尤推定部507の入力に対するクロック遅延は小さい。また、最尤判定を行っていない判定器109、209の出力と比較して判定誤りを起こす確率は低い。なお、パスメモリ中間段の具体的な位置については、要求される誤り率その他の実装条件に応じて、適当な位置が選択される。

【0060】以上説明したように構成されたデジタル情報再生装置においては、図10及び図11に示したデジタル情報再生装置と比較し、再生信号のSN比の悪い条件においてもフィルタパラメータ学習部が不適切に学習される可能性が小さくなる。

【0061】従って、適応学習中に適切なパラメータが設定され、良好なエラーレートで復号を行うことができる。つまり、再生信号の誤り率を低下させ、装置の信頼性を高めたり、記録密度を更にあげたりすることが可能になる。または、従来と同程度のデータ誤り率を確保しつつ、媒体、ヘッド、ピックアップ、モータなどの信号処理部以外の部品の性能の許容スペックを下げることも可能になる。

【0062】また、以上に説明したように構成されたデジタル情報再生装置においては、図13に示したデジタル情報再生装置と比較し、デジタルイコライザの出力等を遅延させる遅延器の遅延回路量を小さくすることが出来る。このことにより、復号誤り率の劣化を招くことなく、デジタル情報再生装置の消費電力を小さくすることが出来る。

【0063】《第2の実施の形態》次に、前述した最尤推定部507の別の構成方法について説明する。

【0064】図6は、最尤推定部の別の構成を示すブロック図である。

【0065】同図に示すように、最尤推定部507aは、波形干渉生成部901と、メトリック演算部902、905と、パスメモリ903、906と、MLセクタ904、907とを備える。最尤推定部507aは、用いるパーシャルレスポンスの形が2種類である点が図5に示した最尤推定部507と異なる。

【0066】波形干渉生成部901は、最尤推定部507aの入力信号に与えられている波形干渉より更に応答の長い波形干渉を入力信号に与える。たとえば、最尤推定部507aの入力がPR(1,0,-1)MLの干渉が与えられている場合で、後段の最尤推定がEPR(1,1,-1,-1)MLを用いている場合、入力信号の波形干渉が最尤推定器の設計値と合うように不足している(1+D)という波形干渉が与えられる。

【0067】波形干渉生成部901により波形干渉を与えられた信号は、メトリック演算部902に入力される。メトリック演算部902は、入力された信号値とトレリス遷移の各枝に対応する目標信号値とのユークリッド距離を毎時刻計算する。そして、メトリック演算部902は、各時刻において現在の状態に至るパスのうちもっとも確からしいパスのパスメトリック値を計算し、生き残りパスの一時刻前の状態を選択し、その選択に従う推定結果をパスメモリ903に格納する。

【0068】パスメモリ903は、前述したパスメモリ802と同様に、メトリック演算部902から出力された推定結果を保持するシフトレジスタを備え、前述した

11

パスメモリ802と同様のシフト動作を行う。

【0069】MLセクタ904は、パスメモリ903の最終段の内容とメトリック演算部902より出力されたもっとも確からしいパスのパスメトリック値を用いて推定される復号値を算出し、最尤推定部507aの出力(判定値d1)とする。パスメモリ903のパスメモリ長が十分に取られている場合は、MLセクタ904は必要とされない。

【0070】メトリック演算部905、パスメモリ906及びMLセクタ907による第2の最尤推定部は、メトリック演算部902、パスメモリ903及びMLセクタ904による最尤推定部と比較し、状態数の少ないより単純なパーシャルレスポンスを用いて復号操作を行う。

【0071】メトリック演算部905は、入力された信号値とトレリス遷移の各枝に対応する目標信号値とのユークリッド距離を各時刻計算する。そして、メトリック演算部905は、各時刻において現在の状態に至るパスのうちもっとも確からしいパスのパスメトリック値を計算し、生き残りパスの一時刻前の状態を選択し、その選択に従う推定結果をパスメモリ906に格納する。

【0072】パスメモリ906は、前述したパスメモリ802と同様に、メトリック演算部905から出力された推定結果を保持するシフトレジスタを備え、前述したパスメモリ802と同様のシフト動作を行う。なお、パスメモリ906の長さ(シフトレジスタの段数)は、パスメモリ903より短い。

【0073】MLセクタ907は、パスメモリ906の最終段の内容とメトリック演算部905より出力された最も確からしいパスのパスメトリック値を用いて推定される復号値を算出し、第2の判定値d2として出力する。

【0074】この場合の第2の判定値d2も、判定値d1と比較し、判定誤りを起こす確率が高いが、最尤推定部内で処理される間の遅延時間は短い。また、第2の判定値d2は、最尤判定を行っていない判定器109、209の出力と比較し判定誤りを起こす確率は低い。つまり、前述した第1の実施形態と同様の効果を得ることができる。

【0075】《第3の実施の形態》図7は、本発明によるデジタル情報再生装置における信号処理部の別の構成例を示すブロック図である。

【0076】同図に示すように、信号処理部1000は、図1に示した信号処理部500に、装置外部から誤差信号e4の品質をモニタするためのモニタ端子1001を追加したものである。

【0077】また、モニタ端子1001から出力された誤差信号e4の品質に応じてフィルタパラメータ学習部511内のレジスタの設定値及びDEQ506のパラメータを変更する調整機構を持つ。すなわち、装置外から

12

与えられる調整信号により、フィルタパラメータ及びフィルタパラメータ学習部511内のレジスタの設定値を変更することが出来る。

【0078】以上のように構成された信号処理部1000を持つデジタル情報再生装置は、前述したデジタル情報再生装置と同様の効果を持つと共に、信号処理部1000と、信号処理部1000以外のデジタル情報再生装置の各ブロックとの特性を合わせるための初期設定操作を容易に行うことが出来る。また、媒体の性質が変化するなどして、等化器の性質を変化させる必要がある場合等の再設定が容易になる。

【0079】なお、図7に示した例では、誤差信号e4を直接外部に出力するように構成しているが、モニタ端子1001の前段に積分器を設けて、誤差信号e4を積分した結果を出力するようにしてもよい。

【0080】次に、前述した信号処理部を用いた磁気ディスク装置の構成について説明する。

【0081】図8は、本発明による磁気ディスク装置の構成を示す図である。同図に示すように、本磁気ディスク装置1100は、データが書き込まれている磁気ディスク1101と、磁気ディスク1101を回転させるスピンドル1102と、磁気ディスク1101からデータの読み出し及び書き込みを行う磁気ヘッド1103と、磁気ヘッド1103を支えるアーム1104と、磁気ヘッド1103を移動させるためのボイスコイルモータ1105と、スピンドル1102を回転させるスピンドルモータ1106とを備える。

【0082】また、上記以外の制御部として、更に、情報処理装置(ホスト)1108に接続するためのインターフェイス(I/F)1109と、データの受け渡し及びフォーマットなどの制御をするハードディスクコントローラ(HDC)1110と、マイコン(CPU)1111と、磁気ヘッド1103からの信号を処理する信号処理部1107と、スピンドルモータ1106を制御するためのスピンドル制御回路(SMC)1112と、ボイスコイルモータ1105を制御するボイスコイルモータ制御回路(VCMC)1113とを備える。

【0083】ここで、信号処理部1107は、前述した実施形態のいずれかと同様の構成を有している。従って、磁気ディスク1101から読み出されたSN比等の性能の悪い信号についても誤り率を従来より低くすることができ、復号結果の誤り率を低下させた磁気ディスク装置を実現できる。

【0084】なお、信号処理部1107を磁気ディスク装置に搭載する際には、媒体、ヘッド、モータ等の品質に応じてフィルタパラメータ学習部に設けられているレジスタに適当な値を設定する操作が必要な場合もある。この操作は、製品出荷時に磁気ディスク装置内の設定を行う際に行われ、信号処理部1107から出力される復号結果の誤り率もしくは等化誤差の品質にしたがってレ



13

ジスタ内容が設定される。

【0085】次に、前述した信号処理部を用いた光ディスク装置の構成について説明する。

【0086】図9は、本発明による光ディスク装置の構成を示す図である。

【0087】同図に示すように、本光ディスク装置1200は、データが書き込まれている光ディスク1201と、光ディスク1201を回転させるスピンドル1202と、光ディスク1201からデータの読み出し及び書き込みを行う光学ピックアップ1203と、光学ピックアップのフォーカシング制御及びトラッキング制御を行うアクチュエータ1204と、スピンドル1202を回転させるスピンドルモータ1205とを備える。

【0088】また、上記以外の制御部として、更に、情報処理装置（ホスト）1207に接続するためのインターフェイス（I/F）1208と、データの受け渡し及びフォーマットなどの制御をする光ディスクコントローラ（ODC）1209と、マイコン（CPU）1210と、光学ピックアップ1203からの信号を処理する信号処理部1206と、スピンドルモータ1205を制御するためのスピンドル制御回路（SMC）1211と、アクチュエータ1204を制御するアクチュエータコントローラ（AC）1212とを備える。

【0089】ここで、信号処理部1206は、前述した実施形態のいずれかと同様の構成を有している。従って、光ディスク1201から読み出されたCN比（キャリア／ノイズ比）等の性能の悪い信号についても、復号結果の誤り率を低減した光ディスク装置を実現できる。

【0090】なお、信号処理部1206を光ディスク装置に搭載する際には、媒体、光学ピックアップ、モータ等の品質に応じてフィルタパラメータ学習部に設けられているレジスタに適切な値を設定する操作が必要となる場合もある。この操作は、製品出荷時に光ディスク装置内の設定を行う際に行われ、信号処理部1206から出力される復号結果の誤り率もしくは等化誤差の品質にしたがってレジスタ内容が設定される。

【0091】

【発明の効果】以上、詳細に説明したように、本発明によれば、消費電力の増大を抑えつつ、高精度なフィルタパラメータ学習が行えるので、記録媒体から読み出されたSN比等の性能の悪い信号についても誤り率を従来より低くしたり、または、同程度の誤り率を保証しつつ、媒体、ヘッド、ピックアップ、モータ等の信号処理部以外の部品の性能の許容スペックを下げることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態による信号処理部の構成を示したブロック図である。

【図2】 本発明の第1の実施形態による誤差信号生成部の構成を示したブロック図である。

【図3】 本発明の第1の実施形態によるフィルタパラ

14

メータ学習部の構成を示したブロック図である。

【図4】 フィルタパラメータ学習部内の判定器の判定基準の例を示した図である。

【図5】 本発明の第1の実施形態による最尤推定部の構成を示したブロック図である。

【図6】 本発明の第2の実施形態による最尤推定部の構成を示したブロック図である。

【図7】 本発明の第3の実施形態による信号処理部の構成を示したブロック図である。

【図8】 本発明による磁気ディスク装置の構成を示したブロック図である。

【図9】 本発明による光ディスク装置の構成を示したブロック図である。

【図10】 従来の磁気ディスク装置の信号再生系の構成を示したブロック図である。

【図11】 従来の光ディスク装置の信号再生系の構成を示したブロック図である。

【図12】 デジタルイコライザ出力の振幅の分布を表した図である。

【図13】 フィルタパラメータの更新に最尤復号後の信号を用いる磁気ディスク装置の信号再生系の構成を示したブロック図である。

【符号の説明】

100、200、400、500、1000 信号処理部

101 ヘッド

102、202、502 アンプ

103、203、503 可変利得アンプ

104、204、504 アナログフィルタ

105、205、505 AD変換器

106、206、506 デジタルイコライザ

107、207、407、507、507a 最尤推定部

108、208、508 デコーダ

109、209 判定器

110、210、410、510 誤差信号生成部

111、211、411、511 フィルタパラメータ学習部

201 ピックアップ

412、512、513 遅延器

601 目標振幅生成器

602 減算器

701\_1～701\_n (n-1) 遅延器

702\_1～702\_n 乗算器

703\_1～703\_n 積分器

704\_1～704\_n 判定器

705 レジスタ

706 マルチプレクサ

801、902、905 メトリック演算部

802、903、906 パスメモリ

15

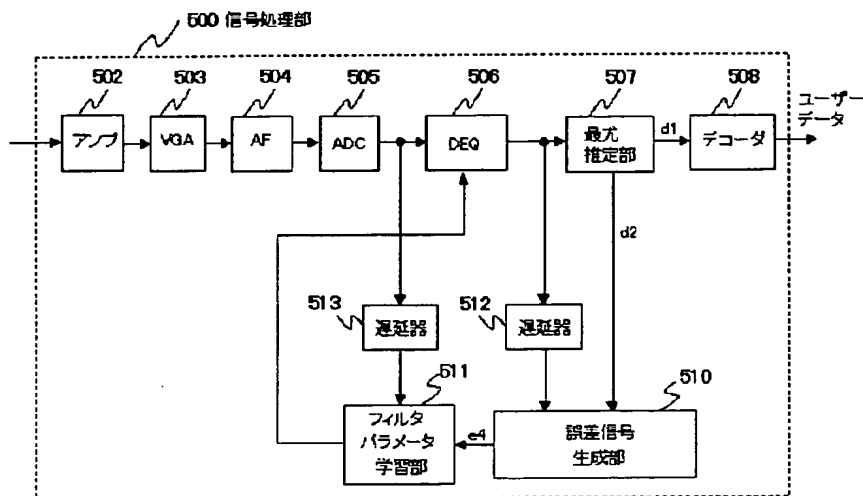
803、804、904、907 MLセクタ  
 901 波形干渉生成部  
 1001 モニタ端子  
 1100 磁気ディスク装置  
 1101 磁気ディスク  
 1102、1202 スピンドル  
 1103 磁気ヘッド  
 1104 アーム  
 1105 ボイスコイルモータ  
 1106、1205 スピンドルモータ  
 1107、1206 信号処理回路

16

\*1108、1207 ホスト  
 1109、1208 インターフェイス  
 1110 ハードディスクコントローラ  
 1111、1210 マイコン  
 1112、1211 スピンドル制御回路  
 1113、1212 ボイスコイルモータ制御回路  
 1200 光ディスク装置  
 1201 光ディスク  
 1203 光学ピックアップ  
 1204 アクチュエータ  
 \* 1209 光ディスクコントローラ

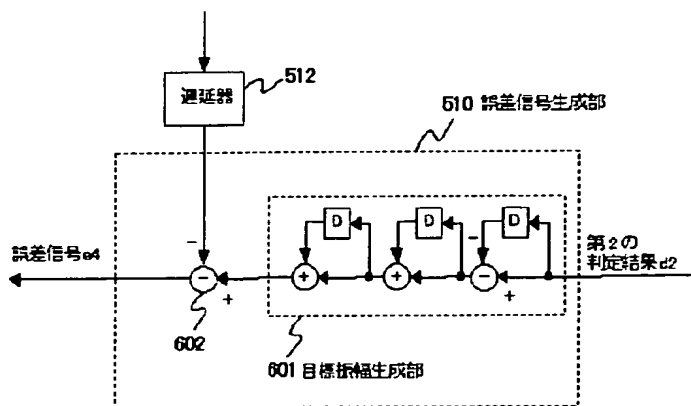
【図1】

図1



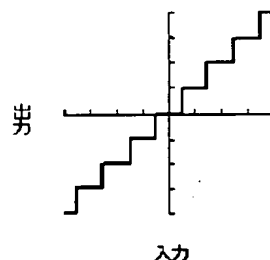
【図2】

図2



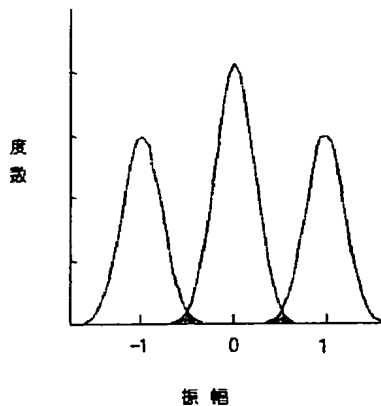
【図4】

図4



【図12】

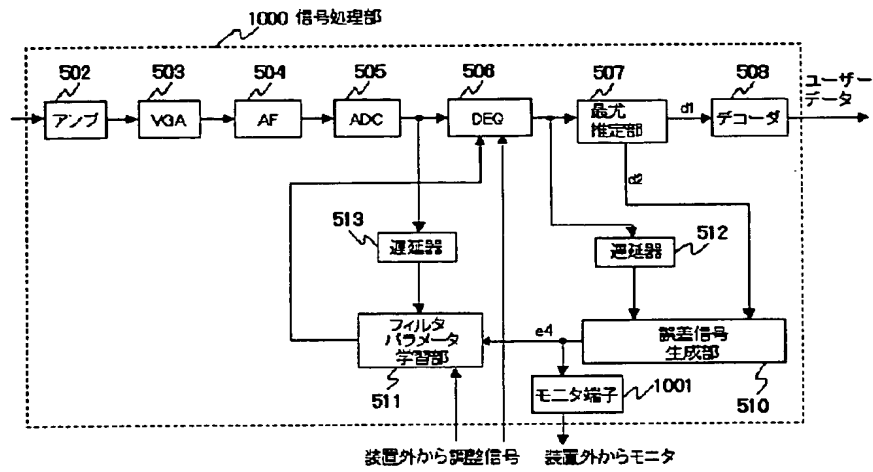
図12





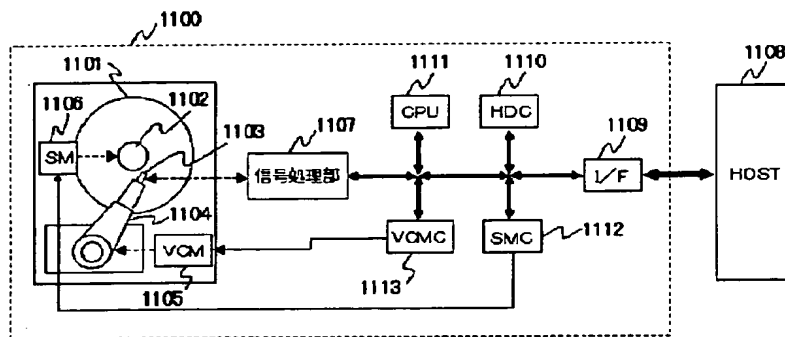
【図7】

図7



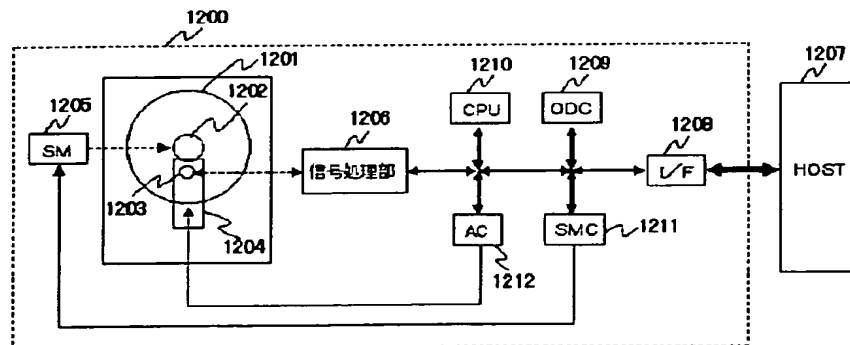
【図8】

図8



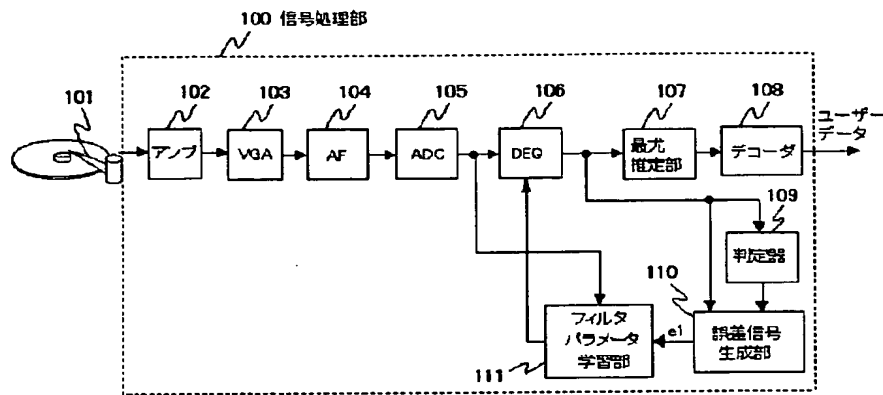
【図9】

図9



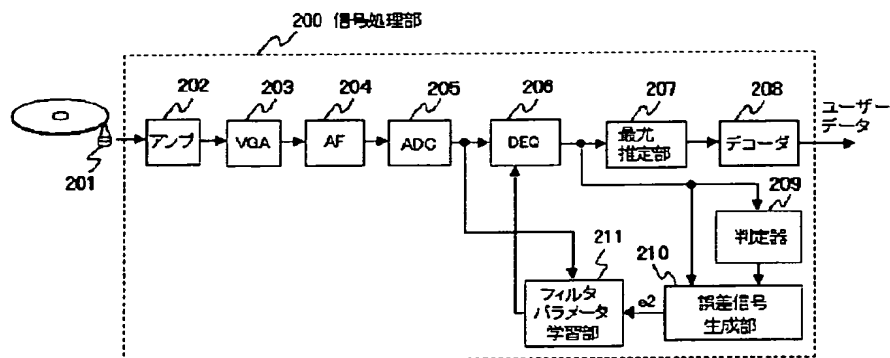
【図10】

図10



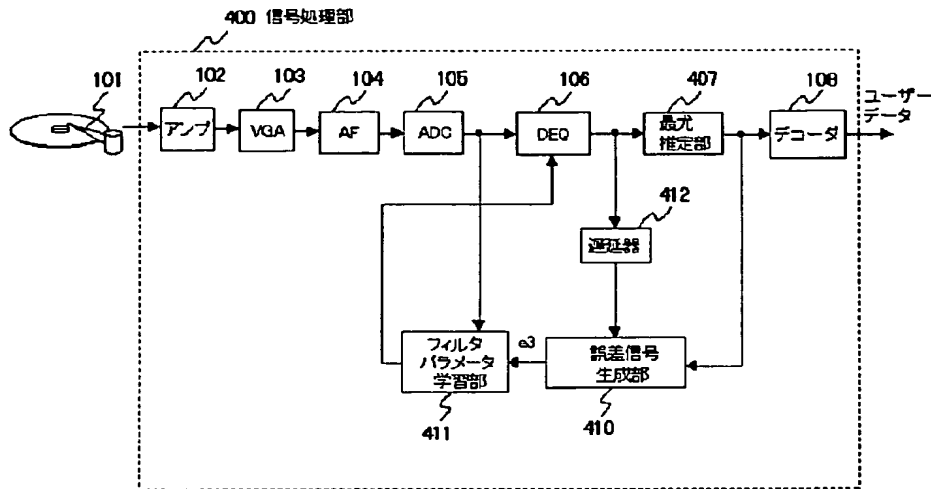
【図11】

図11



【図13】

図13



フロントページの続き

(72)発明者 西谷 卓史  
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 奈良 孝  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 中井 信明  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 井出 博史  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 石田 嘉輝  
神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

Fターム(参考) 5D044 BC01 CC04 FG02 FG05 FG16  
GL02 GL32